

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2000-266777
(P2000-266777A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 1 P 15/125		G 0 1 P 15/125	4 M 1 1 2
H 0 1 L 29/84		H 0 1 L 29/84	Z

審査請求 未請求 請求項の数5 O L (全 5 頁)

(21) 出願番号 特願平11-69685

(22) 出願日 平成11年3月16日 (1999.3.16)

(71) 出願人 593006630

学校法人立命館

京都府京都市北区等持院北町56番地の1

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 杉山 進

滋賀県草津市野路東1-1-1 立命館大
学 びわこ・くさつキャンパス 理工学部
内

(74) 代理人 100075166

弁理士 山口 巖 (外2名)

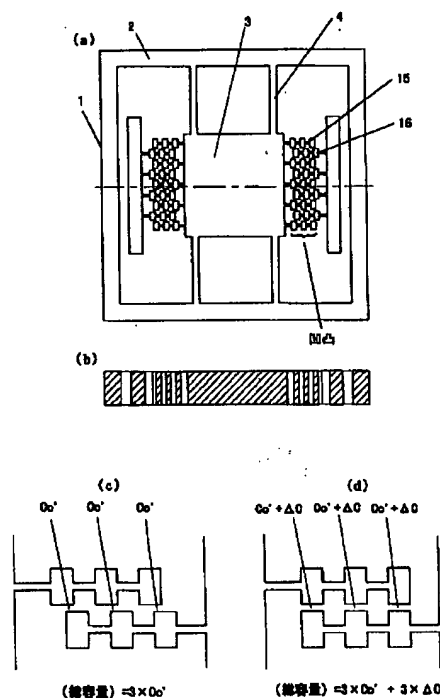
最終頁に続く

(54) 【発明の名称】 静電容量型センサ

(57) 【要約】

【課題】 静電容量型センサの容量変化量を増やし、感度の向上を図る。

【解決手段】 シリコン基板1に棒2、おもり3、梁4、可動電極15および固定電極16などを形成し、可動電極15および固定電極16は互いに噛み合うように櫛歯状に形成するとともに、電極面と垂直方向に凹凸を形成し、各櫛歯から凹凸数に対応する容量変化量を得られるようにする。図1では凸部を3つ形成して、3倍の容量変化量分 ($3\Delta c$) だけ増大させるようにしている。



【特許請求の範囲】

【請求項1】 単結晶シリコンを含む導電性または半導体材料からなる少なくとも1対の櫛歯状対向電極を備え、各対向電極の相対的な変位により電極部面積を変化させ、静電容量を変化させる静電容量型センサにおいて、

前記各櫛歯状対向電極にさらに凹凸部を形成することにより、対向電極が相対的に変位したときの電極部面積変化量を増大させることを特徴とする静電容量型センサ。

【請求項2】 前記電極面と垂直方向に複数の凹凸部を形成することを特徴とする請求項1に記載の静電容量型センサ。

【請求項3】 前記単結晶シリコンを含む導電性または半導体材料としてSOIシリコン基板を用い、その活性層に櫛歯状電極を形成することを特徴とする請求項1に記載の静電容量型センサ。

【請求項4】 前記電極の基板厚み方向に複数の凹凸部を形成することを特徴とする請求項1に記載の静電容量型センサ。

【請求項5】 前記櫛歯電極の凹部加工面と側壁のコーナー部にR部を形成することを特徴とする請求項4に記載の静電容量型センサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、基板材料として、金属または単結晶シリコン基板を用いた静電容量型センサに関する。

【0002】

【従来の技術】この種の単結晶シリコンを用いた静電容量型センサとしては、例えば図6に示すものが一般的に知られている。単結晶シリコン基板1は、部品を支える枠2、加速度などの物理量によって変位するおもり3、このおもり3を支える梁4、おもり3から櫛歯状に形成されている可動電極5、およびこの可動電極5と交互に形成される固定電極6などからなっている。櫛歯状の可動電極5と固定電極6とは原理的には一対あれば良いが、一般には複数対設けられる。

【0003】

【発明が解決しようとする課題】しかし、上記のような単結晶シリコンからなる櫛歯状電極を持つ静電容量型センサには、下記のような問題がある。例えば、櫛歯電極のそれぞれについて、1つの固定電極と可動電極が対向する部分を持ち、この対向する部分によりコンデンサを形成し、図6(d)に示すような1つの初期容量 C_0 と、図6(e)に示すように、可動電極が変位したときに得られる1つの容量変化量 ΔC とを持つことになる。

【0004】このため、感度向上の目的などから容量変化量 ΔC を増やしたい場合には、櫛歯の数を増やすか可動電極の変位量を増やす必要がある。しかし、櫛歯の数

を増やすとスペースを大きくとるため、チップサイズを大きくしなければならない。また、変位量を増やすには梁を細くしなければならず耐衝撃性が悪くなる。したがって、この発明の課題は、チップサイズや梁の寸法を変えることなく、櫛歯状電極1つあたりの容量変化量 ΔC を増やし、より高感度な静電容量型センサを提供することにある。

【0005】

【課題を解決するための手段】このような課題を解決するため、請求項1の発明では、単結晶シリコンを含む導電性または半導体材料からなる少なくとも1対の櫛歯状対向電極を備え、各対向電極の相対的な変位により電極部面積を変化させ、静電容量を変化させる静電容量型センサにおいて、前記各櫛歯状対向電極にさらに凹凸部を形成することにより、対向電極が相対的に変位したときの電極部面積変化量を増大させることを特徴とする。

【0006】上記請求項1の発明においては、前記電極面と垂直方向に複数の凹凸部を形成することができ（請求項2の発明）、または前記単結晶シリコンを含む導電性または半導体材料としてSOIシリコン基板を用い、その活性層に櫛歯状電極を形成することができ（請求項3の発明）、もしくは前記電極の基板厚み方向に複数の凹凸部を形成することができる（請求項4の発明）。また、この請求項4の発明においては、前記櫛歯電極の凹部加工面と側壁のコーナー部にR部を形成することができ（請求項5の発明）。

【0007】すなわち、櫛歯電極に凹凸を形成し、1つの櫛歯に小さな対向電極を多数形成し、容量変化量 ΔC を凹凸の数だけ発生させることにより感度の向上を図る。また、凹凸として櫛歯電極にスリットを形成するようにしてもよい。

【0008】

【発明の実施の形態】図1はこの発明の第1の実施の形態を示す構成図で、同図(a)は上面図、(b)は断面図、(c)は可動電極無変位時の状態説明図、(d)は可動電極変位時の状態説明図である。同図では、厚さが例えば数百 μm のシリコン基板1を用い、これに枠2、おもり3、梁4、可動電極15および固定電極16が図6と同様に形成され、各電極15、16の対向する部分を電極とするコンデンサを形成しているが、さらに、それぞれの電極に電極面と垂直方向に凹凸部を形成した点の特徴である。これにより、1つの櫛歯の中で凹凸数の分だけ容量変化が得られることになる。これを示すのが図1(c)、(d)で、1つの櫛歯に例えば3つの凸部を形成することにより、 $3 \times \Delta C$ だけ容量変化量を増大させる場合の例を示している。

【0009】図2はこの発明の第2の実施の形態を示す構成図で、同図(a)は上面図、(b)は断面図である。図1との相違点は、基板にSOI（絶縁物上にシリコンを析出させ、その上にシリコンを用いてデバイスを

作製したもの)シリコン基板21を用いた点、また、可動電極25および固定電極26として基板厚さ全体を使うのではなく、同図(b)に示すようにSOIシリコン基板21の活性層と呼ばれる層のみを使うようにしたものである。これによって、櫛歯電極部分が薄くなる分加工が容易となり、より微細な構造にすることができる。また、凹凸の数を増やすことも可能となる。

【0010】図3はこの発明の第3の実施の形態を示す構成図で、同図(a)は上面図、同図(b)はそのa-a'断面図、同図(c)は同じくb-b'断面図、同図(d)は可動電極無変位時の状態説明図、(e)は可動電極が変位時の状態説明図である。ここでは図1と同様、厚さが例えば数百 μm のシリコン基板1を用い、これに枠2、おもり3、梁4、可動電極35および固定電極36が交互に噛み合うように櫛歯状に形成され、対向する部分を電極とするコンデンサを形成するが、各電極に電極板の厚み方向に凹凸部(スリット)を形成した点

が特徴である。
【0011】上記のように構成しても、1つの櫛歯の中で凹凸数の分だけ容量変化が得られる。このとき、例えばプラズマエッチングによる垂直深掘り加工技術を用いることにより、従来のRIE(reactive ion etching: 反応性イオンエッチング)加工やウェットエッチング等ではできなかった、厚さ200~1,000 μm の基板を用いた微細な構造を形成することができる。

【0012】図4はこの発明の第4の実施の形態を示す構成図で、図3の変形例を示している。すなわち、図4(c)のC部を拡大した図4(d)からも明らかなように、加工底面と側壁のコーナー(センサ上では梁や櫛歯電極の付け根)にRを形成することにより、応力の集中を避けて衝撃に強い構造とするものである。その他は図3と同じであり、したがって、図4(a)、(b)およ

び(c)も図3と全く同じになっている。図5に完成品としてのセンサチップ例を示す。これは、特に図2のような場合は固定電極が浮いている状態なので、この固定電極を含む電極部44を上部ガラス41に固定した状態を示している。なお、42は下部ガラス、43はシリコン部品枠、45はおもりを示す。

【0013】

【発明の効果】この発明によれば、櫛歯電極の各々に凹凸部を形成するようにしたので、容量変化率($\Delta C/C_0$)を減らすことなく、容量変化量 ΔC を増大させることができる。これにより、チップサイズを変えずに、より高感度な静電容量センサを得ることが可能になるという利点が得られる。また、感度を維持したままチップサイズを小さくすることができ、低コストで高感度な静電容量センサを得ることが可能になるという利点が得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態を示す構成図である。

【図2】この発明の第2の実施の形態を示す構成図である。

【図3】この発明の第3の実施の形態を示す構成図である。

【図4】この発明の第4の実施の形態を示す構成図である。

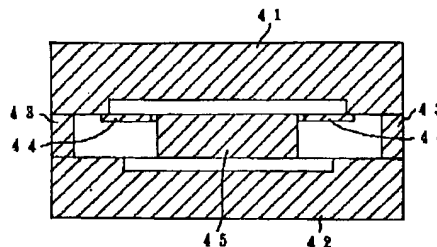
【図5】完成品としてのセンサチップ例を示す断面図である。

【図6】従来例を示す構成図である。

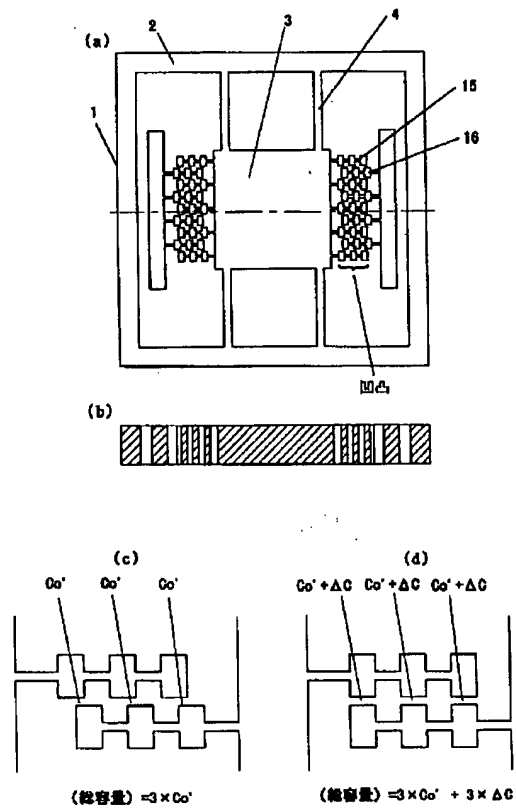
【符号の説明】

1…シリコン基板、2、43…枠、3、45…おもり、4…梁、5、15、25、35…可動電極、6、16、26、36…固定電極、21…SOI基板、41…上部ガラス、42…下部ガラス、44…電極部。

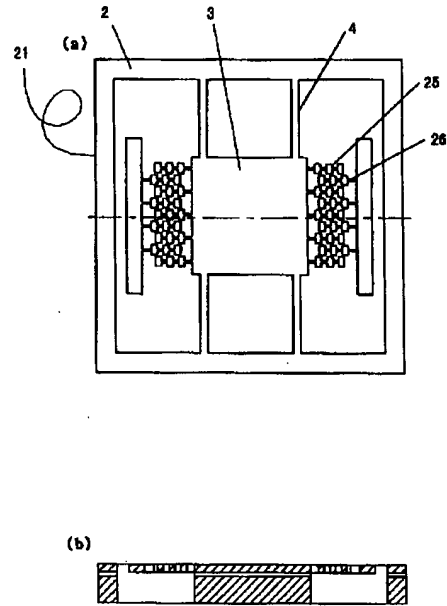
【図5】



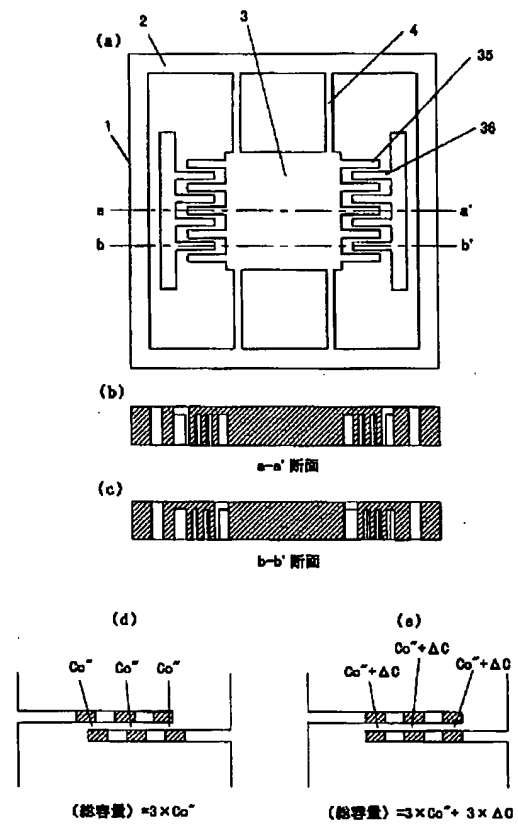
【図1】



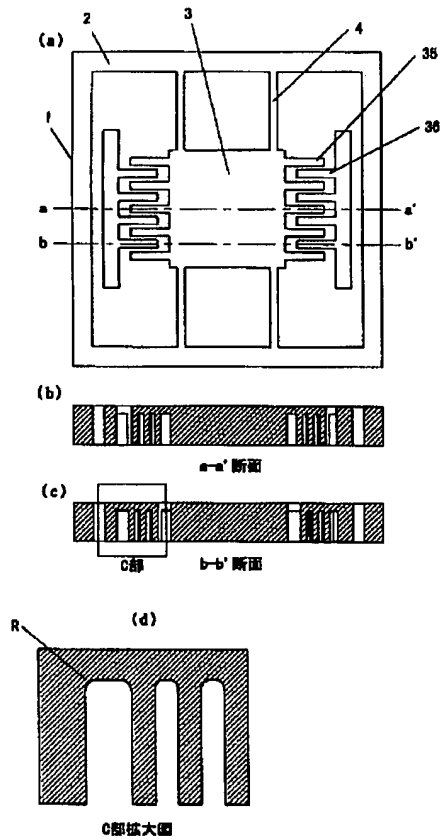
【図2】



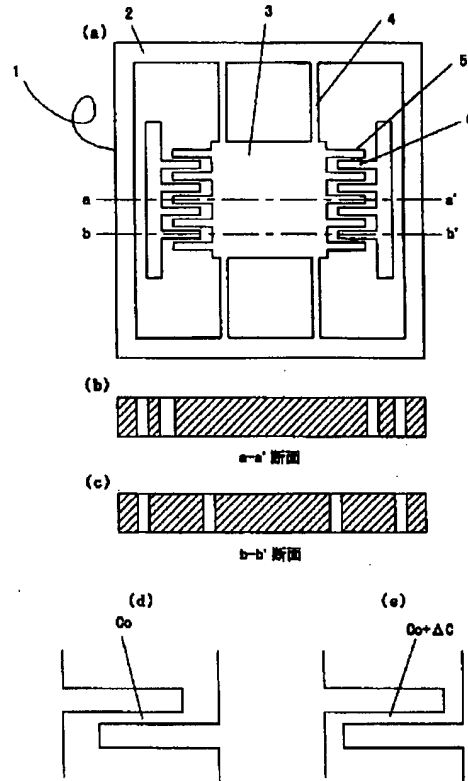
【図3】



【図4】



【図6】



フロントページの続き

(72)発明者 小西 聡
滋賀県草津市野路東1-1-1 立命館大
学 びわこ・くさつキャンパス 理工学部
内
(72)発明者 松下 浩二
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内

(72)発明者 後藤 友彰
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(72)発明者 谷口 克己
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
Fターム(参考) 4M112 AA02 BA07 CA24 CA26 CA36
DA03 EA03 FA01

DERWENT-ACC-NO: 2000-650830
DERWENT-WEEK: 200063
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Capacitive sensor has corrugations formed
perpendicularly from movable
and fixed electrode surfaces so that reduction in
capacitance variation rate is
suppressed during relative displacement of electrodes

PATENT-ASSIGNEE: FUJI ELECTRIC CO LTD[FJIE], GH
RITSUMEIKAN[RITSN]

PRIORITY-DATA: 1999JP-0069685 (March 16, 1999)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 2000266777	September 29, 2000	N/A
005	G01P 015/125	
A		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP2000266777A	N/A	1999JP-0069685
March 16, 1999		

INT-CL (IPC): G01P015/125; H01L029/84

ABSTRACTED-PUB-NO: JP2000266777A

BASIC-ABSTRACT: NOVELTY - The movable electrode (15) and
fixed electrode (16)
forming a comb like structure are provided on a silicon
substrate (1).

Vertical corrugations are provided on the surface of
electrodes such that
reduction capacitance variation rate is suppressed during
relative displacement
of electrodes.

USE - Capacitive sensor.

ADVANTAGE - By increasing capacitance variation without
changing the chip size

a high sensitive electrostatic capacitive sensor is obtained.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of capacitive sensor.

Substrate 1

Movable electrode 15

Fixed electrode 16

CHOSEN-DRAWING: Dwg.1/6

TITLE-TERMS:

CAPACITANCE SENSE CORRUGATED FORMING PERPENDICULAR MOVE FIX
ELECTRODE SURFACE

SO REDUCE CAPACITANCE VARIATION RATE SUPPRESS RELATIVE
DISPLACEMENT ELECTRODE

DERWENT-CLASS: S02

EPI-CODES: S02-K03A1C;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2000-482511